

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-245277

(43)Date of publication of application : 19.09.1995

(51)Int.Cl.

H01L 21/28  
H01L 21/203  
H01L 21/324  
H01L 21/3205  
H01L 21/768

(21)Application number : 06-035812

(71)Applicant : NEC CORP

(22)Date of filing : 07.03.1994

(72)Inventor : KITANO TOMOHISA

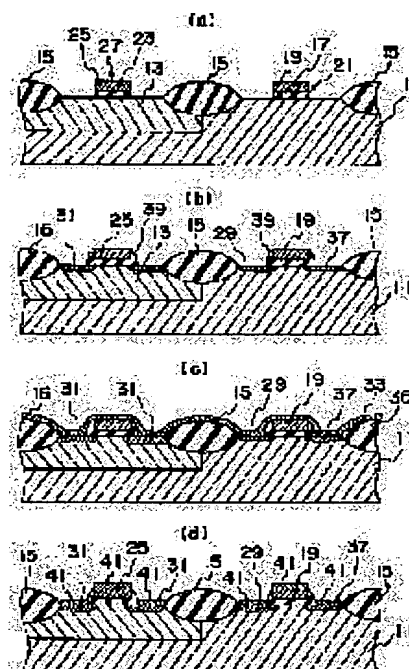
## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To suppress phase transformation temperature increase of a high melt-point metal silicide by sputtering a high melt-point metal on silicon, forming silicide in amorphous state at a low-temperature heat treatment, and then performing heat treatment at a high temperature.

**CONSTITUTION:** After titanium film 33 is formed as a high melt-point metal film by the sputtering method, a first heat treatment is performed near 400° C in nitrogen atmosphere by the lamp annealing method and then titanium silicide in amorphous state is formed.

Then, non-reacted Ti and TiN layers on the titanium silicide are eliminated by ammonium hydrogen peroxide water and a second heat treatment is performed near 850° C in nitrogen atmosphere by the lamp annealing method, thus selectively forming C54-phase TiSi<sub>2</sub> 41 on both channel diffusion layer regions 29 and 31 and polysilicons 19 and 25 and hence enabling a nucleus for phase transformation to exist in titanium silicide in amorphous state and easily generating phase transformation and suppressing phase transformation temperature increase.



## LEGAL STATUS

[Date of request for examination] 15.11.1995

[Date of sending the examiner's decision of rejection] 08.07.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2891092

[Date of registration] 26.02.1999

[Number of appeal against examiner's decision] 10-12428

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 06.08.1998

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-245277

(43) 公開日 平成7年(1995)9月19日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 T	8932-4M		
21/203	S	8719-4M		
21/324	Z			

H 0 1 L 21/ 88 M  
21/ 90 B

審査請求 未請求 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号 特願平6-35812

(22) 出願日 平成6年(1994)3月7日

(71) 出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号

(72) 発明者 北野 友久

東京都港区芝五丁目7番1号 日本電気株  
式会社内

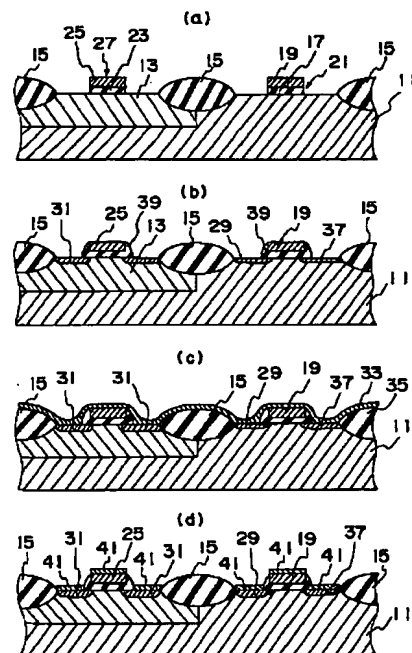
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 高融点金属シリサイドの相転移温度上昇を抑制する。

【構成】 シリコン上に高融点金属をスパッタした後、低温の熱処理で非晶質状態のシリサイドを形成した後、高温で熱処理を行なう。また、シリコン上に非晶質状態の高融点金属シリサイドをスパッタした後、高温の熱処理を行なう。さらに、シリコン上に高融点金属をスパッタした後、一旦結晶状のシリサイドを形成し、イオン注入にて非晶質化した後、高温の熱処理を行なう。



## 【特許請求の範囲】

【請求項1】 単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属膜を堆積し、第1の温度で熱処理を施し、高融点金属シリサイドを形成する第1熱処理工程と、前記高融点金属シリサイドの上層部に存在する余剰高融点金属とその反応物とをエッチングで除去するエッチング工程と、前記高融点金属シリサイドを前記第1の温度よりも高い第2の温度で熱処理を施す第2熱処理工程とを含む半導体装置の製造方法において、前記第1熱処理工程によって非晶質状態の高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記第1の温度は、200℃以上400℃未満であることを特徴とする半導体装置の製造方法。

【請求項3】 シリコン単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属シリサイドを堆積し、所定の温度領域で熱処理を施し、高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、前記シリコン上に堆積される高融点金属シリサイドは、非晶質であることを特徴とする半導体装置の製造方法。

【請求項5】 単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属膜を堆積し、第1の温度で熱処理を施し、高融点金属シリサイドを形成する第1熱処理工程と、前記高融点金属シリサイドの上層部に存在する余剰高融点金属と、その反応物とをエッチングで除去するエッチング工程と、前記高融点金属シリサイドを前記第1の温度よりも高い第2の温度で熱処理を施す第2熱処理工程とを含む半導体装置の製造方法において、前記エッチング工程の後に、前記高融点金属シリサイドにイオン注入することによって、当該高融点金属シリサイドを非晶質化もしくは損傷を加えることを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、相補形金属酸化物半導体 (Complementary metal-oxide semiconductor, 以下、CMOSと呼ぶ) 装置の製造方法に関し、詳しくは、拡散層領域上やポリシリコン (多結晶シリコン) 上に高融点金属シリサイドを形成して低抵抗化を図る半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 CMOS型半導体装置が高集積化されてくると、それにつれて接合深さも浅くなり、不純物拡散層抵抗が増加し、高速性を有する半導体装置の製造の妨げになっている。そこで、拡散層上や多結晶シリコンのゲート電極上に高融点金属シリサイド膜を自己整合的に

形成するシリサイド技術が用いられている。図4は、半導体装置において、従来のシリサイド技術を用いた高融点金属シリサイド膜の形成方法を順に示す断面図である。図4(a)を参照して、通常のCMOS半導体装置製造プロセスに従って、からなるP型シリコン基板 (シリコン単結晶) 11上に、Nウェル13を形成し、フィールド酸化膜15を形成し、ゲート酸化膜17、23とポリシリコン (多結晶シリコン) 19、25からなるゲート電極21、27とLDD構造を形成する。次に、図4(b)に示すように、Pチャネル領域をマスクで覆った後、Nチャネル拡散層領域29にポリシリコン19をマスクとしてN型不純物、例えばヒ素を注入する。次に、図4(c)に示すように、Nチャネル領域をマスクで覆った後、Pチャネル拡散層領域31にポリシリコン25をマスクとしてP型不純物、例えばフッ化ボロンを注入する。その後、図4(d)に示すように、全面に高融点金属としてのチタン膜33をスパッタリング法にて形成した後、窒素雰囲気中で第1の熱処理を施しNチャネル拡散層領域29上、Pチャネル拡散層領域31上で同時にシリサイド反応を発生させる。その結果、これらの領域29及び31上にC49相のチタンシリサイドが形成される。その後、余剰Tiをエッチ除去後、第2熱処理を施し、Nチャネル拡散層領域29上、及びPチャネル拡散層領域31上の夫々のポリシリコン19、25上に低抵抗相であるC54相のTiSi<sub>2</sub>膜35を形成する (図4(e)参照)。その後、従来のプロセスに従って、図示しない層間絶縁膜を形成し、コンタクトホールを開孔し、メタル配線、保護膜を形成する。この従来の方法を基本として、より良いCMOS半導体装置の製造のために、種々の高融点金属シリサイド形成方法が提案されている。例えば、特開平1-179415号公報、以下、従来例1と呼ぶでは、次に述べるような方法で活性化率が高くかつ低抵抗の拡散層領域を自己整合的に形成している。図5は従来例1に示された高融点金属シリサイド方法を示す図である。図5を参照して、P型シリコン基板11上に、フィールド酸化膜15とゲート電極21を形成した後、スパッタリング法で膜厚500Åのチタン膜33を堆積した後、シリコンイオン注入で拡散層領域31を非晶質化する。その後、窒素雰囲気中で700℃、60秒の熱処理 (以下、第1熱処理と呼ぶ) をランプアニール装置を用いて行ないC49相のTiSi<sub>2</sub>を形成した後、未反応のチタン及び窒化チタンをエッチング除去し、その後アルゴン雰囲気中で800℃、30秒の熱処理 (以下、第2熱処理と呼ぶ) を行うことによって、低抵抗相であるC54相のTiSi<sub>2</sub>を形成している。

## 【0003】

【発明が解決しようとする課題】 従来の方法では、前記した第1熱処理によってC49相のTiSi<sub>2</sub>を形成した後、これに続く第2熱処理によってC54相のTiS

3

に相転移させる際に、 $TiSi_2$  の薄膜化につれて相転移温度が上昇するという問題が生じる（ジャーナルオブ アプライド フィジックス vol. 71, (9), 1992, P. p. 4269-4279, 以下、従来例2と呼ぶ）。同様に、微細パターンになるにつれて相転移温度が上昇するという問題も生じる。そのため、C54相に相転移させるために第2熱処理温度を上昇させる必要がある。しかし、第2熱処理温度を上昇させると、C54相への相転移以前にC49相の $TiSi_2$  が凝集を起こし、層抵抗が上昇する問題が生じる。一方、従来例1では、いわゆるITM (Implantation through metal) 法にて拡散層領域を非晶質化した後、第1熱処理を施してC49相の $TiSi_2$  を形成し、これに続いて第2熱処理によって相転移を起こしてC54相を形成している訳であるが、この従来の技術では相転移温度上昇について調査しておらず、また相転移温度上昇を抑制するという効果も有していない。

【0004】そこで、本発明の技術的課題は、C49相の $TiSi_2$  からC54相の $TiSi_2$  への相転移温度上昇を抑制し、 $TiSi_2$  の凝集を生じることなく低抵抗相のC54相を形成することができる半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】本発明によれば、単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属膜を堆積し、第1の温度で熱処理を施し、高融点金属シリサイドを形成する第1熱処理工程と、前記高融点金属シリサイドの上層部に存在する余剰高融点金属とその反応物をエッチングで除去するエッチング工程と、前記高融点金属シリサイドを前記第1の温度よりも高い第2の温度で熱処理を施す第2熱処理工程とを含む半導体装置の製造方法において、前記第1熱処理工程によって非晶質状態の高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法が得られる。

【0006】本発明によれば、前記半導体装置の製造方法において、前記第1の温度は、200℃以上400℃未満であることを特徴とする半導体装置の製造方法が得られる。

【0007】ここで、本発明において、第1の温度を200℃以上400℃未満と限定したのは、400℃を越える温度においては、非晶質状態の高融点金属シリサイドが形成せず結晶化されるためであり、200℃未満の温度では、TiとSiとが反応しないためである。

【0008】また、本発明において、前記第2の温度は、800～900℃の温度範囲が好ましい。というのは、800℃未満の温度では、低抵抗であるC54相が生成しないからであり、900℃を越える温度では、高融点シリサイドの凝集が始まるからである。

【0009】また、本発明において、高融点金属としては、Tiの他に、コバルト (Co)、白金 (Pt)、ニ

4

ッケル (Ni)、モリブデン (Mo)、タングステン (W)、及びタンタル (Ta) が使用できる。

【0010】また、本発明によれば、単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属シリサイドを堆積し、所定の温度領域で熱処理を施し、高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法が得られる。

【0011】また、本発明によれば、前記半導体装置の製造方法において、前記シリコン上に堆積される高融点金属シリサイドは、非晶質であることを特徴とする半導体装置の製造方法が得られる。ここで、本発明において、高融点金属シリサイドは、高融点金属をMとすれば、 $MSi_x$  ( $x > 2$ ) で示される（但し、MはTi, Co, Pt, Ni, Mo, W, 及びTaの内の少なくとも一種である。）

本発明によれば、単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に高融点金属膜を堆積し、第1の温度で熱処理を施し、高融点金属シリサイドを形成する第1熱処理工程と、前記高融点金属シリサイドの上層部に存在する余剰高融点金属と、その反応物をエッチングで除去するエッチング工程と、前記高融点金属シリサイドを前記第1の温度よりも高い第2の温度で熱処理を施す第2熱処理工程とを含む半導体装置の製造方法において、前記エッチング工程の後に、前記高融点金属シリサイドにイオン注入することによって、当該高融点金属シリサイドを非晶質化もしくは損傷を加えることを特徴とする半導体装置の製造方法が得られる。

【0012】ここで、本発明において、第1の温度は、通常の第1の熱処理温度域400～750℃の温度範囲が好ましく、また、第2の温度は、800～900℃の温度範囲が好ましい。

【0013】

【作用】本発明においては、単結晶及び多結晶質の内の少なくとも一種からなるシリコン上に、非晶質の高融点金属シリサイドを第1の熱処理、又はイオン注入、もしくは、直接形成し、C49相からC54への相転移のための核形成をすることによって、相転移温度である第2の温度を低下させる。特に、イオン注入の場合には、高融点金属シリサイドに損傷を加えることもでき、C49相からC54への相転移のための核形成をすることによって、上記処理と同様に相転移温度である第2の温度を低下させる。

【0014】

【実施例】以下、本発明の実施例について、図面を参照して説明する。以下の説明において、図4で示した従来例と同様な名称の部分は同じ参照符号で示している。

【0015】（実施例1）図1は本発明の実施例1に係る半導体装置の製造工程を示す図である。図1(a)を参照して、従来の方法によってシリコン基板上にゲート電極までが形成された状態が示されている。P型シリコ

5

ン基板（シリコン単結晶）11に、N型ウェル13が形成され、素子分離のためにフィールド酸化膜15が形成されている。その後、このフィールド酸化膜15の間のP型シリコン基板11及びN型ウェル上ゲート酸化膜17が形成され、その上にポリシリコン19が形成されてゲート電極21とするためにゲート酸化膜17とポリシリコン19がパターン化されている。同様にNウェル13上に、ゲート酸化膜23及びポリシリコン25が形成され、ゲート電極27が形成されている。次に図1

(b)に示すように、NチャネルMOSトランジスタをLDD (lightly doped drain-source) 構造とするために、Nチャネル領域にポリシリコン19をマスクとしてN型不純物、例えば、リンを低濃度注入し、低濃度拡散層領域37を形成する。その後、ゲート電極側面に酸化膜39を形成し、Pチャネル領域をマスクで覆い、Nチャネル領域にN型不純物であるヒ素を高濃度に注入してNチャネル拡散層領域29を形成する。同様に、Nウェル13上にPチャネルMOSトランジスタを形成する。すなわち、Nチャネル領域をマスクで覆い、ポリシリコン25をマスクにしてPチャネル領域にP型不純物であるフッ化ボロンを高濃度に注入してPチャネル拡散層領域31を形成する。さらに、ゲート電極側面に酸化膜39を形成する。その後、両チャネル拡散層領域の不純物を活性化するために900℃、30分程度の熱処理を窒素雰囲気中で行なう。次に、図1(c)に示すように、全面に高融点金属膜としてチタン膜33をスパッタリング方法によって100オングストローム程度形成する。その後、窒素雰囲気中でランプアニール法により400℃付近で30分程度の第1熱処理を施し、非晶質状態のチタンシリサイドを形成する。次に、図1(d)に示すように、チタンシリサイド上に存在する未反応のTiとTiN層を、アンモニア過酸化水素水を用いて除去し、窒素雰囲気中でランプアニール法によって850℃付近で10秒程度で第2熱処理を施すことによって、C54相のTiSi<sub>2</sub>:41が両チャネル拡散層領域29、31上ならびにポリシリコン19、25上に選択的に形成された状態となる。この際、従来の方法では、TiSi<sub>2</sub>の膜厚が薄いため相転移温度が上昇し、850℃の熱処理温度では十分にC54相に相転移していない。そのため、シート抵抗が12Ω/□と高い状態のままである。しかしながら、本発明の実施例1では、非晶質状態のチタンシリサイド中に相転移のための核が存在しており、相転移が容易に生じ、相転移温度上昇を抑制することができるため850℃の熱処理温度でも十分に相転移が終了している。その結果、シート抵抗3Ω/□の低抵抗のTiSi<sub>2</sub>膜が形成される。その後は、通常のプロセスにしたがって、層間絶縁膜を形成し、コンタクトホールを開孔し、メタル配線を形成し、保護膜を形成する。

【0016】（実施例2）図2は本発明の実施例2に係る半導体装置の製造工程を示す図である。図2(a)を

6

参照して、P型シリコン基板11上に、Nウェル13を形成し、フィールド酸化膜15を形成し、ゲート電極21、27を形成し、Nチャネル拡散領域29にヒ素を、Pチャネル拡散層領域31にフッ化ボロンを注入し、両チャネル拡散層領域29、31の不純物を活性化するために900℃、30分程度の熱処理を窒素雰囲気中で行なうまでは実施例1と同様である。次に、図2(b)に示すように、リフトオフ法により非晶質状態のTiSi<sub>2</sub>（但しxはX>2で示される数）をスパッタリングで両チャネル拡散層領域29、31上ならびにポリシリコン19、25上に100オングストローム成膜し、ランプアニール装置によって窒素雰囲気中で850℃、10秒程度の熱処理を施すことによって、C54相のTiSi<sub>2</sub>:43が両チャネル拡散層領域29、31上ならびにポリシリコン19、25上に選択的に形成された状態となる。この際も実施例1と同様に、相転移の核が存在しており、相転移が容易に生じ、相転移温度上昇を抑制することができるため850℃の熱処理温度でも十分に相転移が終了している。ここで、X>2の場合は、スパッタしたチタンシリサイドはシリッチとなり、850℃の熱処理時にシリコンならびにポリシリコンからのチタンシリサイドへの拡散を抑制した状態でC54相のTiSi<sub>2</sub>:43を形成することができる。その結果、シリコンならびにポリシリコン中でのボイドの形成を抑制することができる。

【0017】（実施例3）図3は本発明の実施例3に係る半導体装置の製造工程を順に示す図である。図3(a)を参照してP型シリコン基板11上に、Nウェル13を形成し、フィールド酸化膜15を形成し、ゲート電極21、27を形成し、Nチャネル拡散領域29にヒ素を、Pチャネル拡散層領域31にフッ化ボロンを注入し、両チャネル拡散層領域29、31の不純物を活性化するために900℃、30分熱処理を窒素雰囲気中で行なうまでは実施例1と同様である。次に、図3(b)に示すように、全面に高融点金属膜としてチタン膜33をスパッタリング法により100オングストローム程度形成する。その後、窒素雰囲気中でランプアニール装置より、650℃、30秒で第1熱処理を施し、C49相のTiSi<sub>2</sub>を形成する。次に、図3(c)に示すように、TiSi<sub>2</sub>上に存在する未反応のTiとTiN層を、アンモニア過酸化水素水を用いて除去し、ヒ素のイオン注入によりC49相のTiSi<sub>2</sub>を非晶質状態ないしは損傷を加えた状態にする。次に、ランプアニール装置により窒素雰囲気中で850℃、30秒で第2熱処理を施すことによって、C54相のTiSi<sub>2</sub>:45が両チャネル拡散層領域29、31上ならびにポリシリコン19、25上に選択された状態となる。この際も実施例1と同様に、相転移の核がC49相のTiSi<sub>2</sub>中に存在しており、相転移が容易に生じ、相転移温度上昇を抑制することができるため850℃の熱処理でも十分に相転

移が終了している。

【0018】

【発明の効果】以上説明したように、本発明によれば、高融点金属シリサイド、例えば、 $TiSi_2$  が薄膜化した場合でも、C49相の $TiSi_2$  を非晶質状態ないしは損傷を加えた状態にすることによって、C49相からC54相への相転移温度の上昇を抑制することができ、低抵抗のC54相を $TiSi_2$  の凝集を生じることなく形成することができる半導体装置の製造方法を提供することができる。

【図面の簡単な説明】

【図1】(a)、(b)、(c)及び(d)は本発明の実施例1による半導体装置の製造工程を順に説明するための断面図である。

【図2】(a)及び(b)は本発明の実施例2による半導体装置の製造工程を説明するための断面図である。

【図3】(a)、(b)、及び(c)は本発明の実施例3による半導体装置の製造工程を説明するための断面図

である。

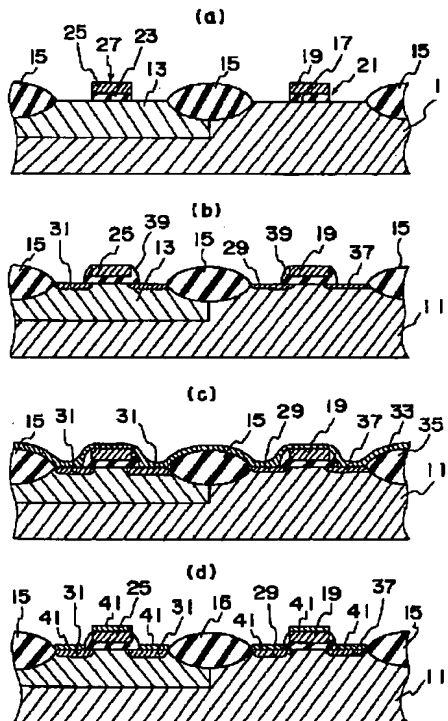
【図4】(a)、(b)、(c)、(d)、及び(e)は従来の半導体製造装置の製造工程を説明するための断面図である。

【図5】従来の半導体製造装置の他の製造工程を説明するための断面図である。

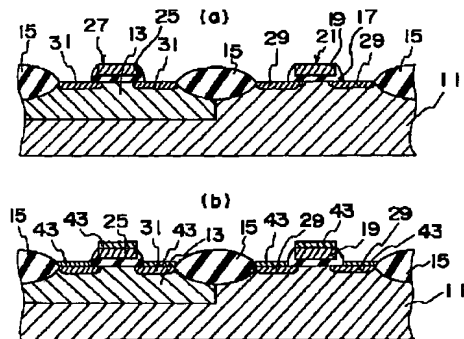
【符号の説明】

- 11 P型シリコン基板
- 13 N型ウェル
- 15 フィールド酸化膜
- 17, 23 ゲート酸化膜
- 19, 25 ポリシリコン
- 29 Nチャネル拡散層領域
- 31 Pチャネル拡散層領域
- 33 チタン膜
- 37 低濃度拡散層領域
- 39 酸化膜
- 41, 43, 45 C54相の $TiSi_2$

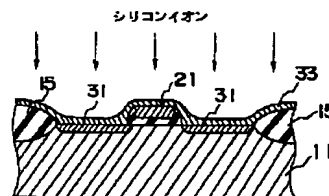
【図1】



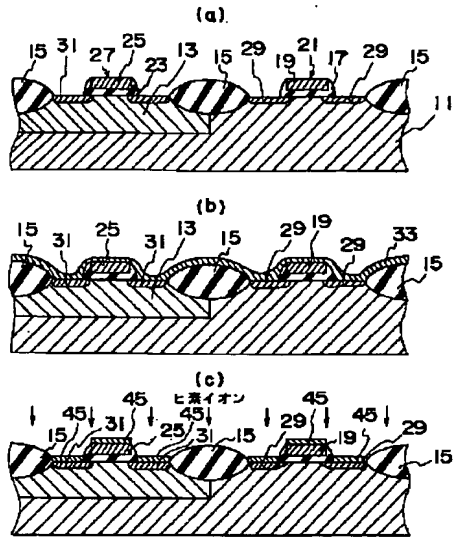
【図2】



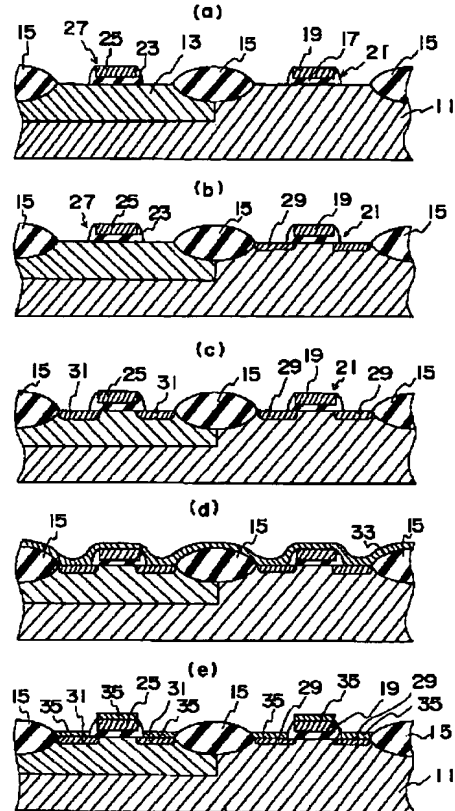
【図5】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

H01L 21/3205  
21/768

識別記号

庁内整理番号

F I

技術表示箇所